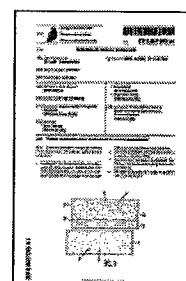


**DELPHION****RESEARCH****PRODUCTS****INSIDE DELPHION**[Log Out](#) [Work Files](#) [Saved Searches](#)[My Account](#)[Search: Quick Number](#) [Boolean](#) [Advanced](#) [Derwent](#)[Help](#)

## The Delphion Integrated View

Get Now: ☒ PDF | [File History](#) | [Other choices](#)Tools: Add to Work File: [Create new Work File](#) [Add](#)View: [Expand Details](#) | [INPADOC](#) | Jump to:  Go to: [Derwent](#)☒ [Email this to a friend](#)Title: **EP0807970A1: Method of manufacturing a thin semiconductor layer**[\[German\]](#)[\[French\]](#)Derwent Title: Producing thin semiconductor layer form wafer comprises implanting ions at dose forming micro cavities to weaken wafer along reference plane, then separating by applying mechanical stress [\[Derwent Record\]](#)Country: **EP** European Patent Office (EPO)Kind: **A1** Publ. of Application with search report i (See also: [EP0807970B1](#))Inventor: **Aspar, Bernard**; 38140 Rives, France  
**Bruel, Michel**; 38113 Veurey, France  
**Poumeyrol, Thierry**; 38360 Noyarey, FranceAssignee: **COMMISSARIAT A L'ENERGIE ATOMIQUE**, 75015 Paris Cédex 15, FranceCorporate Tree data: Commissariat A L'Energie Atomique ( [CEA](#) );  
[News](#), [Profiles](#), [Stocks](#) and [More](#) about this companyPublished / Filed: **1997-11-19** / 1997-05-13Application Number: **EP1997000401062**IPC Code: Advanced: [H01L 21/02](#); [H01L 21/265](#); [H01L 21/304](#); [H01L 21/762](#);  
[H01L 27/12](#);Core: [H01L 21/70](#); more...ECLA Code: **H01L21/304**; H01L21/762D8; H01L21/762D8B; S30B1/00;Priority Number: 1996-05-15 **FR1996000006086**Abstract: Producing thin semiconductor layer from wafer Producing a thin semiconductor layer from a wafer involves: (a) implanting noble gas or hydrogen ions through a flat face (2) of the wafer at a dose causing formation of micro-cavities which weaken the wafer along a reference plane without causing wafer separation; and (b) separating the wafer into two parts, one of which forms the thin layer (6), by mechanical force application after or during heat treatment. Preferably, prior to separation, the flat wafer face (2) is attached to a support (8), by means of which the mechanical forces (preferably tensile, shear and/or bending forces) are applied, the support being of flexible material (e.g. a 'Kapton' sheet) or rigid material (e.g. an oxidised silicon wafer).  
[\[French\]](#)Attorney, Agent or Firm: **Quantin, Bruno Marie Henri** ; Santarelli 14 Avenue de la Grande Armée , 75017 Paris France[INPADOC](#) [Show legal status actions](#)Get Now: [Family Legal Status Report](#)[High Resolution](#)[Low Resolution](#)**9 pages**



(11) **EP 0 807 970 B1**

(12) **FASCICULE DE BREVET EUROPEEN**

(45) Date de publication et mention  
de la délivrance du brevet:  
**02.04.2008 Bulletin 2008/14**

(51) Int Cl.:  
**H01L 21/762 (2006.01) H01L 21/304 (2006.01)**

(21) Numéro de dépôt: **97401062.1**

(22) Date de dépôt: **13.05.1997**

(54) **Procédé de réalisation d'une couche mince de matériau semiconducteur**

Verfahren zur Herstellung einer Halbleiter-Dünnschicht

Method of manufacturing a thin semiconductor layer

(84) Etats contractants désignés:  
**DE FR GB IT NL**

(30) Priorité: **15.05.1996 FR 9606086**

(43) Date de publication de la demande:  
**19.11.1997 Bulletin 1997/47**

(60) Demande divisionnaire:  
**06291790.1 / 1 768 176**

(73) Titulaire: **COMMISSARIAT A L'ENERGIE  
ATOMIQUE  
75015 Paris (FR)**

(72) Inventeurs:  
• **Aspar, Bernard  
38140 Rives (FR)**

• **Bruel, Michel  
38113 Veurey (FR)**  
• **Poumeyrol, Thierry  
38360 Noyarey (FR)**

(74) Mandataire: **Quantin, Bruno Marie Henri  
Santarelli  
14 Avenue de la Grande Armée  
75017 Paris (FR)**

(56) Documents cités:  
**EP-A- 0 533 551 EP-A- 0 665 588  
EP-A- 0 703 609**

• **BRUEL M: "SILICON ON INSULATOR MATERIAL  
TECHNOLOGY" ELECTRONICS LETTERS, vol.  
31, no. 14, 6 juillet 1995, page 1201/1202  
XP000525349**

**EP 0 807 970 B1**

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen, toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

## Description

**[0001]** La présente invention concerne un procédé de réalisation d'une couche mince de matériau semiconducteur. La couche mince réalisée peut éventuellement être pourvue de composants électroniques.

**[0002]** L'invention permet la réalisation de couches minces de semiconducteur aussi bien monocristallin que polycristallin et même amorphe et par exemple la réalisation de substrats de type Silicium Sur Isolant, la réalisation de couches minces autoportantes de semiconducteur monocristallin. Des circuits électroniques et/ou des microstructures peuvent être réalisés complètement ou en partie dans ces couches ou dans ces substrats.

**[0003]** Il est connu que l'implantation d'ions d'un gaz rare ou d'hydrogène dans un matériau semiconducteur induit la formation de microcavités à une profondeur voisine de la profondeur moyenne de pénétration des ions. Le document FR-A-2 681 472 divulgue un procédé qui utilise cette propriété pour obtenir un film mince de matériau semiconducteur. Ce procédé consiste à soumettre une plaquette du matériau semiconducteur désiré et comportant une face plane aux étapes suivantes :

- une première étape d'implantation par bombardement de la face plane de la plaquette au moyen d'ions créant, dans le volume de la plaquette et à une profondeur voisine de la profondeur de pénétration des ions, une couche de microcavités séparant la plaquette en une région inférieure constituant la masse du substrat et une région supérieure constituant le film mince, les ions étant choisis parmi les ions de gaz rares ou de gaz hydrogène et la température de la plaquette étant maintenue au-dessous de la température à laquelle les ions implantés peuvent s'échapper du semiconducteur par diffusion ;
- une deuxième étape de mise en contact intime de la face plane de la plaquette avec un support constitué au moins d'une couche de matériau rigide. Ce contact intime pouvant être réalisé par exemple à l'aide d'une substance adhésive ou par l'effet d'une préparation préalable des surfaces et éventuellement d'un traitement thermique ou/et électrostatique pour favoriser les liaisons interatomiques entre le support et la plaquette ;
- une troisième étape de traitement thermique de l'ensemble plaquette et support à une température supérieure à la température durant laquelle l'implantation a été effectuée et suffisante pour créer par effet de réarrangement cristallin dans la plaquette et de pression des microcavités une séparation entre le film mince et la masse du substrat. Cette température est par exemple de 500°C pour du silicium.

**[0004]** Cette implantation est apte à créer une couche de microbulles gazeuses. Cette couche de microbulles créée ainsi dans le volume de la plaquette, à une profondeur voisine de la profondeur moyenne de pénétration

des ions, délimite dans le volume de la plaquette deux régions séparées par cette couche : une région destinée à constituer le film mince et une région formant le reste du substrat.

**[0005]** Suivant les conditions d'implantation, après implantation d'un gaz comme par exemple l'hydrogène, des cavités ou microbulles sont observables ou non en microscopie électronique à transmission. Dans le cas du silicium, on peut avoir des microcavités dont la taille peut varier de quelques nm à quelques centaines de nm. Ainsi, en particulier lorsque la température d'implantation est faible, ces cavités ne sont observables qu'au cours de l'étape de traitement thermique, étape au cours de laquelle on réalise alors une nucléation pour permettre d'aboutir en fin de traitement thermique à la coalescence des microcavités.

**[0006]** Le procédé décrit dans le document FR-A-2 681 472 ne permet pas de réaliser des circuits électroniques dans et à la surface de la face plane de la plaquette après l'étape d'implantation ionique. En effet, la réalisation de tels circuits implique d'effectuer certaines opérations classiques de micro-électronique (recuit de diffusion, déposition, etc.) qui nécessitent des étapes de traitement thermique (typiquement de 400°C à 700°C) selon les étapes pour le silicium. Or, à ces températures, il se forme des cloques sur la surface de la face plane de la plaquette implantée. A titre d'exemple, pour une implantation d'ions hydrogène selon une dose de  $5 \cdot 10^{16}$  protons/cm<sup>2</sup> et de 100 keV d'énergie dans une plaquette de silicium, un traitement thermique réalisé à 500°C pendant 30 min conduit à une dégradation de 50% de la surface de la face plane de la plaquette, cette dégradation résultant de l'apparition de cloques et de leur éclatement. Il n'est alors plus possible d'assurer correctement la mise en contact intime de la face plane de la plaquette avec le support (que l'on appellera applicateur dans la suite de la description) afin de décoller la couche semiconductrice du reste de la plaquette.

**[0007]** Ce phénomène de formation de cloques et de cratères à la surface d'une plaquette de silicium implantée d'ions hydrogène après recuit a été discuté dans l'article "Investigation of the bubble formation mechanism in a-Si:H films by Fourier-transform infrared microspectroscopy" de Y. Mishima et T. Yagishita, paru dans J. Appl. Phys. 64 (8), 15 Octobre 1988, pages 3972-3974.

**[0008]** La présente invention a été conçue pour perfectionner le procédé décrit dans le document FR-A-2 681 472. Elle permet, après une étape d'implantation ionique dans une gamme de doses appropriées et avant l'étape de séparation, de réaliser un traitement thermique de la partie de la plaquette correspondant à la future couche mince, en particulier entre 400°C et 700°C pour le silicium, sans dégrader l'état de surface de la face plane de la plaquette et sans séparation de la couche mince. Ce traitement thermique intermédiaire peut faire partie des opérations d'élaboration de composants électroniques ou être imposé pour d'autres raisons.

**[0009]** L'invention s'applique également au cas où

l'épaisseur de la couche mince est suffisante pour lui conférer une bonne tenue mécanique, auquel cas il n'est pas nécessaire d'utiliser un applicateur pour obtenir la séparation de la couche mince du reste de la plaquette, mais où l'on désire malgré tout éviter des défauts de surface à la face plane.

**[0010]** L'invention a donc pour objet un procédé de réalisation d'une couche mince de matériau semiconducteur à partir d'une plaquette dudit matériau comportant une face plane, comprenant une étape d'implantation ionique consistant à bombarder ladite face plane par des ions choisis parmi les ions de gaz rares ou d'hydrogène, selon une température déterminée et une dose déterminée pour créer, dans un plan dit plan de référence et situé à une profondeur voisine de la profondeur moyenne de pénétration des ions, des microcavités, le procédé comprenant également une étape postérieure de traitement thermique à une température suffisante en vue d'obtenir une séparation de la plaquette en deux parties, de part et d'autre dudit plan de référence, la partie située du côté de la face plane constituant la couche mince, caractérisé en ce que :

- l'étape d'implantation ionique est conduite avec une dose d'ions comprise entre une dose minimum et une dose maximum, la dose minimum étant celle à partir de laquelle il y aura une création suffisante de microcavités pour obtenir la fragilisation de la plaquette suivant le plan de référence, la dose maximum, ou dose critique, étant celle au-dessus de laquelle, pendant l'étape de traitement thermique, il y a séparation de la plaquette,
- une étape de séparation de la plaquette en deux parties, de part et d'autre du plan de référence, est prévue après ou pendant l'étape de traitement thermique, cette étape de séparation comportant l'application de forces mécaniques entre les deux parties de la plaquette.

**[0011]** Ces forces mécaniques peuvent être des forces de traction, de cisaillement et de flexion appliquées seules ou en combinaison.

**[0012]** On entend dans la demande par microcavités, des cavités pouvant se présenter sous forme quelconque ; par exemple, les cavités peuvent être de forme aplatie, c'est-à-dire de faible hauteur (quelques distances inter-atomiques) ou de forme sensiblement sphérique ou de tout autre forme différente. Ces cavités peuvent contenir une phase gazeuse libre et/ou des atomes de gaz issus des ions implantés fixés sur des atomes du matériau formant les parois des cavités. Ces cavités sont généralement appelées en terminologie anglo-saxonne "platelets", "microblisters" ou même "bubbles".

**[0013]** Le traitement thermique réalisé en vue de l'obtention de la séparation de la couche mince du reste de la plaquette, permet d'amener les microcavités dans un état stable. En effet, sous l'effet de la température, les microcavités coalescent pour atteindre un état définitif.

La température est donc choisie de façon à obtenir cet état.

**[0014]** Selon le document FR-A-2 681 472, les doses implantées sont telles que l'on obtient, sous l'effet du traitement thermique, une couche de microcavités qui permet d'obtenir directement la séparation.

**[0015]** Selon la présente invention, les doses implantées sont insuffisantes pour obtenir au cours du traitement thermique une séparation, les doses implantées permettent seulement une fragilisation de la plaquette au niveau du plan de référence, la séparation nécessite une étape supplémentaire par application de forces mécaniques. En outre, la dose critique telle que définie dans l'invention est inférieure à la dose à laquelle aux cours des étapes d'implantation ionique et de traitement thermique, il y a formation de cloques sur la face plane de la plaquette. Le problème de cloques ne se pose donc pas dans l'invention.

**[0016]** Le procédé selon l'invention peut comprendre, entre l'étape de traitement thermique et l'étape de séparation, une étape consistant à réaliser au moins tout ou partie d'un composant électronique dans la partie de la plaquette devant constituer la couche mince.

**[0017]** Si la réalisation de ce composant électronique nécessite des phases de traitement thermique, celles-ci sont de préférence menées à une température inférieure à celle du traitement thermique.

**[0018]** En cas de besoin, juste avant l'étape de séparation, il est prévu une étape supplémentaire consistant à mettre en contact intime et à solidariser ladite plaquette, du côté de ladite face plane, avec un support par l'intermédiaire duquel les forces mécaniques telles que des forces de traction et/ou de cisaillement seront appliquées.

**[0019]** Ce support peut être un support souple, par exemple une feuille de Kapton®. Il peut être un support rigide comme une plaquette de silicium oxydé.

**[0020]** L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, parmi lesquels :

- la figure 1 représente, de façon schématique, une plaquette de matériau semiconducteur dont l'une de ses faces est soumise à un bombardement d'ions en application du procédé selon la présente invention,
- la figure 2 représente, de façon schématique, la plaquette précédente à l'issue de l'étape de traitement thermique destinée à faire coalescer les microcavités, selon la présente invention,
- la figure 3 représente, de façon schématique, la plaquette précédente après formation de composants électroniques dans la partie correspondant à la couche mince désirée,
- la figure 4 représente, de façon schématique, l'étape de séparation de la plaquette précédente en deux parties, conformément à la présente invention.

**[0021]** Un point important de la présente invention réside dans l'implantation d'ions d'hydrogène ou de gaz rare, selon une dose inférieure ou égale à la dose au-dessus de laquelle il y aurait séparation au cours du traitement thermique. La dose utilisée est telle qu'elle permet une fragilisation du matériau à une profondeur  $R_p$  correspondant au parcours moyen des ions dans le matériau, mais la plaquette reste suffisamment résistante mécaniquement pour supporter toutes les étapes de traitement thermique nécessaires à la réalisation de circuits électroniques. Autrement dit, la plaquette implantée présente, dans la zone de microcavités, des ponts solides reliant la partie de la plaquette destinée à constituer la couche mince à la partie restante de la plaquette.

**[0022]** La description va maintenant porter sur la réalisation d'une couche mince en matériau semiconducteur à partir d'un substrat épais présentant une face plane. Le substrat de départ peut être ou non recouvert sur cette face plane d'une ou de plusieurs couches de matériaux, comme par exemple des matériaux encapsulants tels qu'un diélectrique.

**[0023]** La figure 1 illustre l'étape d'implantation ionique d'une plaquette 1 en matériau semiconducteur. La face plane 2 de la plaquette reçoit le bombardement ionique qui est figuré par des flèches. Dans le cas où la face plane 2 de la plaquette est recouverte d'un ou de plusieurs matériaux non semiconducteurs, l'énergie des ions est choisie suffisante pour qu'ils pénètrent dans la masse de matériau semiconducteur.

**[0024]** Le cas échéant, l'épaisseur de matériau semiconducteur implanté doit être telle que l'on puisse réaliser tout ou partie de composants électroniques et/ou des microstructures dans la couche mince. A titre d'exemple, la pénétration moyenne des ions hydrogène est de  $2\ \mu\text{m}$  à 200 keV dans du silicium.

**[0025]** L'implantation ionique de ces types d'ions dans le substrat semiconducteur crée en profondeur, au voisinage de la profondeur correspondant au parcours moyen  $R_p$  des ions suivant une perpendiculaire à la face plane, une zone 3 à forte concentration en atomes donnant naissance à des microcavités. Par exemple, la concentration maximum en hydrogène est de  $10^{21}\ \text{H}^+/\text{cm}^3$  pour une dose d'implantation de  $2.10^{16}\ \text{H}^+/\text{cm}^2$  à 100 keV. Cette étape d'implantation ionique doit être réalisée à une température telle que les ions de gaz implantés ne diffusent pas au fur et à mesure (pendant l'étape d'implantation) à longue distance. Ceci perturberait ou annihilerait la formation de microcavités. Par exemple, dans le cas d'une implantation d'ions d'hydrogène dans du silicium on réalisera l'implantation ionique à une température inférieure à  $350^\circ\text{C}$ .

**[0026]** La dose d'implantation (nombre d'ions par unité de surface reçu pendant la durée de l'implantation) est choisie de sorte que la dose soit inférieure ou égale à une dose, dite dose critique, telle que, au-dessus de cette dose critique, pendant l'étape subséquente de traitement thermique, il y a séparation de la couche mince du reste de la plaquette. Dans le cas d'une implantation d'ions

hydrogène, cette dose critique est de l'ordre de  $4.10^{16}\ \text{H}^+/\text{cm}^2$  pour une énergie de 160 keV.

**[0027]** La dose d'implantation est également choisie supérieure à une dose minimum à partir de laquelle, lors de l'étape de traitement thermique subséquente, la formation de microcavités et l'interaction entre celles-ci est suffisante, c'est-à-dire qu'elle permet de fragiliser le matériau implanté dans la zone de microcavités 3. Cela veut dire qu'il existe encore des ponts solides de matériau semiconducteur situé entre les microcavités. Dans le cas d'une implantation d'ions de gaz hydrogène dans un substrat de silicium, cette dose minimum est de l'ordre de  $1.10^{16}/\text{cm}^2$  à une énergie de 100 keV.

**[0028]** L'étape suivante du procédé selon l'invention consiste en un traitement thermique de la plaquette à une température suffisante pour permettre une coalescence des microcavités suivant le plan de référence. Dans le cas d'une implantation, à une température inférieure à  $350^\circ\text{C}$ , d'ions de gaz hydrogène dans un substrat de silicium et une dose de  $3.10^{16}\ \text{H}^+/\text{cm}^2$  à une énergie de 100 keV, après un traitement thermique de trente minutes à  $550^\circ\text{C}$ , on observe par microscopie électronique à transmission en coupe, des cavités de hauteur égale à quelques fractions de nanomètres et d'extension suivant le plan de référence de plusieurs nanomètres voire plusieurs dizaines de nanomètres. Ce traitement thermique permet à la fois la précipitation et la stabilisation des atomes de gaz implantés sous forme de microcavités.

**[0029]** Les microcavités 4 (voir la figure 2) occupent, suivant le plan de référence, une surface sensiblement égale à la surface implantée. Les cavités 4 ne se situent pas exactement dans le même plan. Elles se trouvent dans des plans parallèles au plan de référence à quelques nanomètres ou dizaines de nanomètres de ce plan de référence. De ce fait, la partie supérieure du substrat situé entre le plan de référence et la face plane 2 n'est pas totalement séparée de la masse du substrat, la masse du substrat étant définie comme le reste du substrat compris entre le plan de référence et les faces du substrat autres que la face plane. Les liaisons restantes sont suffisamment fortes pour supporter des étapes de manipulation et de recuit dues aux étapes technologiques dans la réalisation de circuits intégrés. Cependant, la liaison entre la partie supérieure et la masse du substrat est très affaiblie puisque cette liaison n'est réalisée que par l'intermédiaire de ponts de matériau semiconducteur situés entre les cavités.

**[0030]** On peut ensuite réaliser sur la face plane 2 (à la surface et sous la surface) tout ou partie des composants électroniques, des circuits et des microstructures.

**[0031]** L'énergie d'implantation ionique des ions d'hydrogène ou de gaz rare de la première étape a été choisie de telle façon que la profondeur de la zone de microcavités soit suffisante pour qu'elle ne soit pas perturbée par la réalisation de composants, de circuits électroniques et/ou de microstructures durant cette étape. En outre, l'ensemble des opérations de recuit thermique que nécessite l'élaboration de composants, de circuits électro-

niques ou de microstructures, est choisi de façon à minimiser une éventuelle diffusion des ions implantés. Par exemple, dans le cas d'une plaquette de silicium monocristallin, on limitera préférentiellement la température maximum des diverses phases du procédé à 900°C.

**[0032]** La figure 3 illustre le cas où l'on a élaboré plusieurs composants électroniques, référencés 5, sur la face plane 2 et dans la partie de la plaquette destinée à constituer la couche mince.

**[0033]** L'étape de séparation vient ensuite. Elle consiste à appliquer des forces mécaniques, par exemple de traction, séparatrices entre les parties de la plaquette ou substrat situées de part et d'autre du plan de référence de façon à fracturer les ponts solides subsistants. Cette opération permet d'obtenir la couche mince de matériau semiconducteur, équipée de composants électroniques dans le cas décrit. La figure 4 illustre cette étape de séparation au cours de laquelle la couche mince 6 est séparée de la masse restante 7 du substrat par l'action de forces exerçant leurs actions en sens contraires et figurées par des flèches.

**[0034]** L'expérience montre que l'effort de traction nécessaire pour séparer la partie supérieure de la masse du substrat est faible en particulier lorsque l'on exerce un effort de cisaillement entre la partie supérieure et la masse du substrat, c'est-à-dire quand les forces exercées présentent une composante suivant le plan de référence. Ceci s'explique simplement par le fait que l'effort de cisaillement favorise la propagation des fractures et des cavités dans le plan de référence.

**[0035]** La partie supérieure du substrat étant par nature mince, l'effort de traction et/ou de cisaillement ne peut pas, dans bien des cas, être appliqué commodément directement sur celle-ci. Il est alors préférable, avant l'étape de séparation, de rendre la plaquette solide, par sa face plane 2, d'un support ou applicateur par l'intermédiaire duquel on appliquera les forces mécaniques à la partie supérieure de la plaquette. Cet applicateur est représenté sous la référence 8 à la figure 4.

**[0036]** L'applicateur peut être un support rigide ou souple. on entend ici par solidarisation de l'applicateur sur la plaquette toute opération de collage ou de préparation des surfaces et de mise en contact, permettant d'assurer une énergie de liaison suffisante entre l'applicateur et la face plane de la plaquette pour résister à l'opération de traction et/ou de cisaillement et/ou de flexion de l'étape de séparation.

**[0037]** L'applicateur peut être par exemple une feuille de matériau plastique tel que du Kapton® que l'on a rendu adhérent à la face plane du substrat. Dans cet exemple, après application du procédé selon l'invention, on obtient une couche mince de semiconducteur monocristallin sur feuille de Kapton®.

**[0038]** Afin de transmettre correctement les efforts à l'ensemble de la couche mince supérieure, les circuits réalisés dans et à la surface de la couche supérieure peuvent avoir été recouverts d'une couche de protection éventuellement planarisante au cours de l'étape d'éla-

boration des composants électroniques. L'applicateur est alors solidarisé de la couche mince supérieure de la plaquette par l'intermédiaire de cette couche de protection.

**[0039]** L'applicateur peut être aussi un support rigide, par exemple une plaquette de silicium dont la surface peut être recouverte d'une couche diélectrique. On effectue par exemple un traitement physico-chimique approprié de la face plane de la plaquette et/ou de la surface de l'applicateur (portant ou non une couche diélectrique) pour que la mise en contact associée à un éventuel traitement thermique solidarise la face plane de la plaquette et l'applicateur.

**[0040]** Dans le cas cité à titre d'exemple où l'applicateur est une plaquette de silicium portant à sa surface une couche d'oxyde et où le substrat semiconducteur est une plaquette de silicium monocristallin, après application du procédé selon l'invention, on obtient une plaquette de silicium sur isolant où la couche de silicium superficielle est la couche fine fournie par la partie supérieure du substrat.

**[0041]** En outre, après séparation de la couche mince du reste de la plaquette, la face libre de cette couche peut permettre le report d'un substrat supplémentaire pouvant être équipé de composants électroniques réalisés complètement ou partiellement sur le substrat. Un tel empilement permet un assemblage "trois dimensions" de circuits électroniques, le raidisseur pouvant ou non comporter lui-même des composants électroniques.

## Revendications

1. Procédé de réalisation d'une couche mince de matériau semiconducteur (6) à partir d'une plaquette (1) dudit matériau comportant une face plane (2), comprenant une étape d'implantation ionique consistant à bombarder ladite face plane (2) par des ions choisis parmi les ions de gaz rares ou d'hydrogène, selon une température déterminée et une dose déterminée pour créer, dans un plan dit plan de référence et situé à une profondeur voisine de la profondeur moyenne de pénétration des ions, des microcavités (4), le procédé comprenant également une étape postérieure de traitement thermique à une température suffisante en vue d'obtenir une séparation de la plaquette en deux parties, de part et d'autre dudit plan de référence, la partie située du côté de la face plane constituant la couche mince (6),  
**caractérisé en ce que :**

- l'étape d'implantation ionique est conduite avec une dose d'ions comprise entre une dose minimum et une dose maximum, la dose minimum étant celle à partir de laquelle il y aura une création suffisante de microcavités (4) pour obtenir la fragilisation de la plaquette suivant le plan de référence, la dose maximum, ou dose

- critique, étant celle au-dessus de laquelle, pendant l'étape de traitement thermique, il y a séparation de la plaquette (1),  
 - une étape de séparation de la plaquette en deux parties, de part et d'autre du plan de référence, est conduite après ou pendant l'étape de traitement thermique, cette étape de séparation comportant l'application de forces mécaniques entre les deux parties de la plaquette (1).
2. Procédé selon la revendication 1, **caractérisé en ce qu'il** comprend, entre l'étape de traitement thermique et l'étape de séparation, une étape consistant à réaliser au moins une partie d'un composant électronique (5) dans la partie de la plaquette (1) devant constituer la couche mince (6).
3. Procédé selon la revendication 2, **caractérisé en ce que**, la réalisation dudit composant électronique (5) nécessitant des phases de traitement thermique, celles-ci sont menées à une température inférieure à celle de l'étape de traitement thermique.
4. Procédé selon l'une quelconque des revendications 1 à 3, **caractérisé en ce que**, juste avant l'étape de séparation, il est prévu une étape supplémentaire consistant à mettre en contact intime et à solidariser ladite plaquette (1), du côté de ladite face plane (2), avec un support (8) par l'intermédiaire duquel les forces mécaniques seront appliquées.
5. Procédé selon la revendication 4, **caractérisé en ce que** la solidarisation est une opération de collage, ou de préparation des surfaces et de mise en contact, permettant d'assurer une énergie de liaison suffisante entre le support et la face plane de la plaquette pour résister à l'opération de traction et/ou de cisaillement et/ou de flexion de l'étape de séparation.
6. Procédé selon la revendication 4 ou la revendication 5, **caractérisé en ce que** ledit support (8) est un support souple.
7. Procédé selon la revendication 6, **caractérisé en ce que** ledit support souple est une feuille de Kapton®.
8. Procédé selon la revendication 4 ou la revendication 5, **caractérisé en ce que** ledit support (8) est un support rigide.
9. Procédé selon la revendication 8, **caractérisé en ce que** ledit support rigide est une plaquette de silicium.
10. Procédé selon la revendication 9, **caractérisé en ce que** ladite plaquette de silicium porte à sa surface une couche d'oxyde et ladite plaquette (1) en matériau semiconducteur est en silicium monocristallin.
11. Procédé selon la revendication 9, **caractérisé en ce que** la plaquette de silicium est recouverte d'une couche diélectrique.
12. Procédé selon l'une quelconque des revendications 1 à 11, **caractérisé en ce que** ladite plaquette de matériau semiconducteur (1) est en silicium.
13. Procédé selon la revendication 12, **caractérisé en ce que** ladite plaquette de matériau semiconducteur (1) est en silicium monocristallin.
14. Procédé selon l'une quelconque des revendications 1 à 13, **caractérisé en ce que** l'étape d'implantation est effectuée avec des ions hydrogène.
15. Procédé selon la revendication 14, **caractérisé en ce que**, la plaquette (1) en matériau semiconducteur étant en silicium, la dose minimum est de  $1 \cdot 10^{16}/\text{cm}^2$  à une énergie de 100 keV et la dose critique est de  $4 \cdot 10^{16}/\text{cm}^2$  à une énergie de 160 keV.
16. Procédé selon la revendication 14 ou la revendication 15, **caractérisé en ce que**, la plaquette (1) en matériau semiconducteur étant en silicium, l'implantation est réalisée à une température inférieure à 350°C.
17. Procédé selon l'une quelconque des revendications précédentes, **caractérisé en ce que** ladite plaquette de matériau semiconducteur (1) est recouverte, du côté de la face plane (2), d'une couche de matériau non semiconducteur.
18. Procédé selon la revendication 17, **caractérisé en ce que** le matériau non semiconducteur est un matériau diélectrique.
19. Procédé selon l'une quelconque des revendications précédentes, **caractérisé en ce que** les forces mécaniques appliquées lors de l'étape de séparation sont des forces de traction et/ou de cisaillement et/ou de flexion.
20. Procédé selon la revendication 19, **caractérisé en ce que** les forces exercées comportent une composante suivant le plan de référence.

#### Claims

1. Method of producing a thin layer of semiconductor material (6) from a wafer (1) of said material having a plane face (2), comprising an ionic implantation step consisting in bombarding said plane face (2) with ions selected from ions of rare gases or of hy-

drogen, at a temperature and at a dose determined to create microcavities (4) in a reference plane situated at a depth similar to the mean depth of penetration of the ions, the method further comprising a subsequent step of heat treatment at a temperature sufficient to split the wafer into two portions, on respective opposite sides of said reference plane, the portion situated on the side of the plane face constituting the thin layer (6),  
**characterized in that:**

- the ionic implantation step is conducted with a dose of ions between a minimum dose and a maximum dose, the minimum dose being that from which sufficient microcavities (4) are created to weaken the wafer in the reference plane, the maximum dose, or critical dose, being that above which the wafer (1) splits during the heat treatment step,
- a step of splitting the wafer into two portions, on respective opposite sides of the reference plane, is conducted after or during the heat treatment step, this splitting step including the application of mechanical forces between the two portions of the wafer (1).

2. Method according to claim 1, **characterized in that** it comprises, between the heat treatment step and the splitting step, a step of producing at least a portion of an electronic component (5) in the portion of the wafer (1) to constitute the thin layer (6).
3. Method according to claim 2, **characterized in that**, the production of said electronic component (5) necessitating heat treatment phases, the latter are carried out at a temperature below that of the heat treatment step.
4. Method according to any one of claims 1 to 3, **characterized in that**, just before the splitting step, there is an additional step consisting in bringing said plane face (2) of said wafer (1) into intimate contact with and attaching it to a support (8) by means of which the mechanical forces will be applied.
5. Method according to claim 4, **characterized in that** the attachment is a bonding operation or an operation of preparing the surface and bringing it into contact, providing a bonding energy between the support and the plane face of the wafer sufficient to resist the operation of traction and/or shear and/or bending of the splitting step.
6. Method according to claim 4 or claim 5, **characterized in that** said support (8) is a flexible support.
7. Method according to claim 6, **characterized in that** said flexible support is a sheet of Kapton®.

8. Method according to claim 4 or claim 5, **characterized in that** said support (8) is a rigid support.
9. Method according to claim 8, **characterized in that** said rigid support is a silicon wafer.
10. Method according to claim 9, **characterized in that** said silicon wafer has a layer of oxide on its surface and said wafer (1) of semiconductor material is of monocrystalline silicon.
11. Method according to claim 9, **characterized in that** the silicon wafer is covered with a dielectric layer.
12. Method according to any one of claims 1 to 11, **characterized in that** said semiconductor material wafer (1) is of silicon.
13. Method according to claim 12, **characterized in that** said semiconductor material wafer (1) is of monocrystalline silicon.
14. Method according to any one of claims 1 to 13, **characterized in that** the implantation step is effected using hydrogen ions.
15. Method according to claim 14, **characterized in that**, said wafer (1) of semiconductor material being of silicon, the minimum dose is  $1 \cdot 10^{16}/\text{cm}^2$  at an energy of 100 keV and the critical dose is  $4 \cdot 10^{16}/\text{cm}^2$  at an energy of 160 keV.
16. Method according to claim 14 or claim 15, **characterized in that**, said wafer (1) of semiconductor material being of silicon, the implantation is carried out at a temperature below 350°C.
17. Method according to any one of the preceding claims, **characterized in that** said semiconductor material wafer (1) is covered on the side with the plane face (2) with a layer of non-semiconductor material.
18. Method according to claim 17, **characterized in that** the non-semiconductor material is a dielectric material.
19. Method according to any one of the preceding claims, **characterized in that** the mechanical forces applied during the splitting step are traction and/or shear and/or bending forces.
20. Method according to claim 19, **characterized in that** the forces exerted have a component in the reference plane.



## Patentansprüche

1. Verfahren für die Fertigung einer Dünnschicht aus Halbleitermaterial (6) ausgehend von einem Plättchen (1) aus diesem Material, das eine ebene Seite besitzt, wobei das Verfahren einen Schritt umfasst, bei dem Ionen implantiert werden und der darin besteht, die ebene Seite (2) mit Ionen, die aus Edelgas- oder Wasserstoffionen gewählt sind, bei einer bestimmten Temperatur und mit einer bestimmten Dosis zu bombardieren, um in einer Ebene, die Bezugsebene genannt wird und sich in einer Tiefe in der Nähe der mittleren Eindringtiefe der Ionen befindet, Mikrohohlräume (4) zu erzeugen, wobei das Verfahren außerdem einen späteren Schritt der Wärmebehandlung bei einer Temperatur, die ausreicht, um eine Trennung des Plättchens in zwei Teile beiderseits der Bezugsebene zu erhalten, umfasst, wobei der auf Seiten der ebenen Seite befindliche Teil die Dünnschicht (6) bildet,  
**dadurch gekennzeichnet, dass:**
  - der Ionenimplantationsschritt mit einer Iondosis ausgeführt wird, die zwischen einer minimalen Dosis und einer maximalen Dosis liegt, wobei die minimale Dosis jene ist, bei der eine ausreichende Erzeugung von Mikrohohlräumen (4) erfolgt, um die Versprödung des Plättchens längs der Bezugsebene zu erhalten, und wobei die maximale Dosis oder kritische Dosis jene ist, oberhalb derer während des Wärmebehandlungsschrittes die Trennung des Plättchens (1) erfolgt,
  - ein Schritt des Trennens des Plättchens in zwei Teile beiderseits der Bezugsebene nach dem Wärmebehandlungsschritt oder während dieses Schrittes ausgeführt wird, wobei dieser Trennschritt die Ausübung mechanischer Kräfte zwischen den zwei Teilen des Plättchens (1) umfasst.
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet, dass** es zwischen dem Wärmebehandlungsschritt und dem Trennschritt einen Schritt umfasst, der darin besteht, wenigstens einen Teil einer elektronischen Komponente (5) in dem Teil des Plättchens (1) zu verwirklichen, bevor die Dünnschicht (6) gebildet wird.
3. Verfahren nach Anspruch 2, **dadurch gekennzeichnet, dass** dann, wenn die Verwirklichung der elektronischen Komponente (5) Wärmebehandlungsphasen erfordert, diese bei einer Temperatur unterhalb der Temperatur des Wärmebehandlungsschrittes ausgeführt werden.
4. Verfahren nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet, dass** direkt vor dem Trennschritt ein zusätzlicher Schritt vorgesehen ist, der darin besteht, das Plättchen (1) auf Seiten der ebenen Seite (2) mit einem Träger (8), über den die mechanischen Kräfte ausgeübt werden, in einen engen Kontakt zu bringen und sie miteinander zu verbinden
5. Verfahren nach Anspruch 4, **dadurch gekennzeichnet, dass** das Verbinden ein Klebevorgang oder ein Vorgang der Zurichtung der Oberflächen und der Kontaktherstellung ist, was ermöglicht, eine ausreichende Verbindungsenergie zwischen dem Träger und der ebenen Seite des Plättchens (1) sicherzustellen, um den Wirkungen des Ziehens und/oder Scherens und/oder Biegens des Trennschrittes zu widerstehen.
6. Verfahren nach Anspruch 4 oder Anspruch 5, **dadurch gekennzeichnet, dass** der Träger (8) ein biegsamer Träger ist.
7. Verfahren nach Anspruch 6, **dadurch gekennzeichnet, dass** der biegsame Träger eine Folie aus Kapton® ist.
8. Verfahren nach Anspruch 4 oder Anspruch 5, **dadurch gekennzeichnet, dass** der Träger (8) ein starrer Träger ist.
9. Verfahren nach Anspruch 8, **dadurch gekennzeichnet, dass** der starre Träger ein Siliciumplättchen ist.
10. Verfahren nach Anspruch 9, **dadurch gekennzeichnet, dass** das Siliciumplättchen auf seiner Oberfläche eine Oxidschicht trägt und die Plättchen aus Halbleitermaterial aus monokristallinem Silicium ist.
11. Verfahren nach Anspruch 9, **dadurch gekennzeichnet, dass** das Siliciumplättchen mit einer dielektrischen Schicht abgedeckt ist.
12. Verfahren nach einem der Ansprüche 1 bis 11, **dadurch gekennzeichnet, dass** das Halbleitermaterialplättchen (1) aus Silicium besteht.
13. Verfahren nach Anspruch 12, **dadurch gekennzeichnet, dass** das Halbleitermaterialplättchen (1) aus monokristallinem Silicium besteht.
14. Verfahren nach einem der Ansprüche 1 bis 13, **dadurch gekennzeichnet, dass** der Implantationsschritt mit Wasserstoffionen ausgeführt wird.
15. Verfahren nach Anspruch 14, **dadurch gekennzeichnet, dass**, wenn das Plättchen (1) aus Halbleitermaterial aus Silicium ist, die minimale Dosis  $1 \times 10^{16} \text{ cm}^{-2}$  bei einer Energie von 100 keV ist und

die kritische Dosis  $4 \times 10^{16} \text{ cm}^{-2}$  bei einer Energie von 160 keV ist.

16. Verfahren nach Anspruch 14 oder Anspruch 15, **dadurch gekennzeichnet, dass**, wenn das Plättchen (1) aus Halbleitermaterial aus Silicium ist, die Implantation bei einer Temperatur unterhalb von 350 °C erfolgt. 5
17. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet, dass** das Plättchen aus Halbleitermaterial (1) auf Seiten der ebenen Seite (2) mit einer Schicht aus einem Nichthalbleitermaterial abgedeckt ist. 10
18. Verfahren nach Anspruch 17, **dadurch gekennzeichnet, dass** das Nichthalbleitermaterial ein dielektrisches Material ist. 15
19. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet, dass** die im Trennschritt ausgeübten mechanischen Kräfte Zug- und/oder Scher- und/oder Biegekräfte sind. 20
20. Verfahren nach Anspruch 19, **dadurch gekennzeichnet, dass** die ausgeübten Kräfte eine Komponente in der Bezugsebene haben. 25

30

35

40

45

50

55

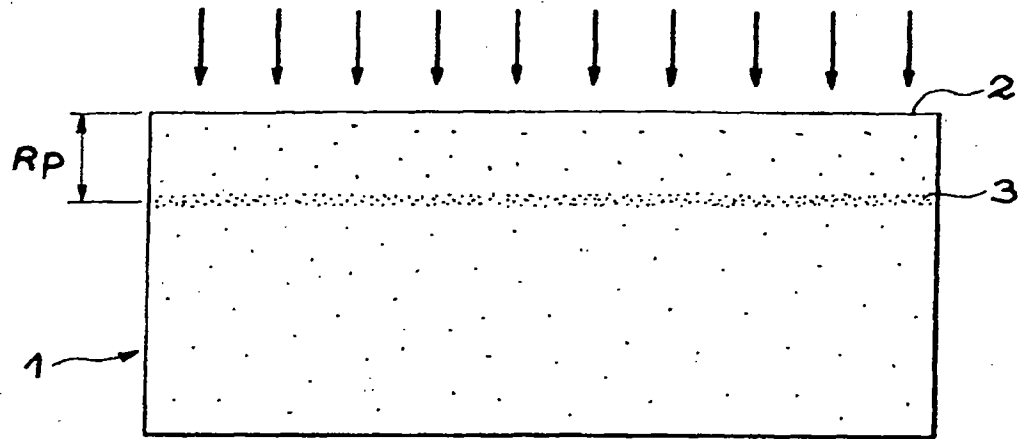


FIG. 1

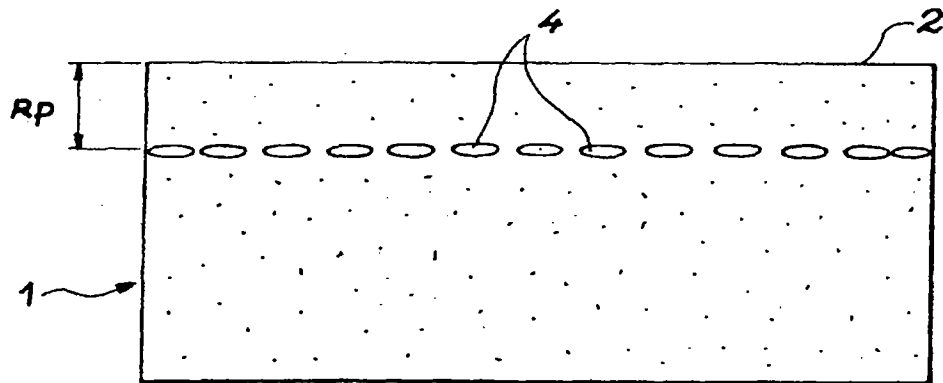


FIG. 2

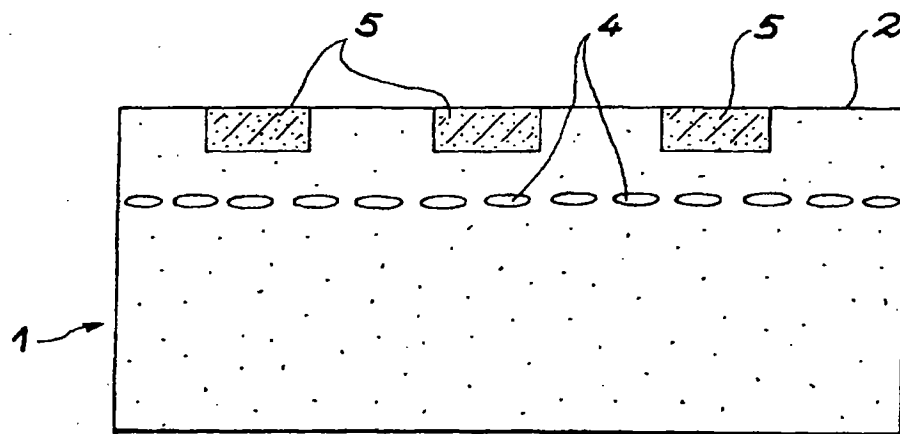


FIG. 3

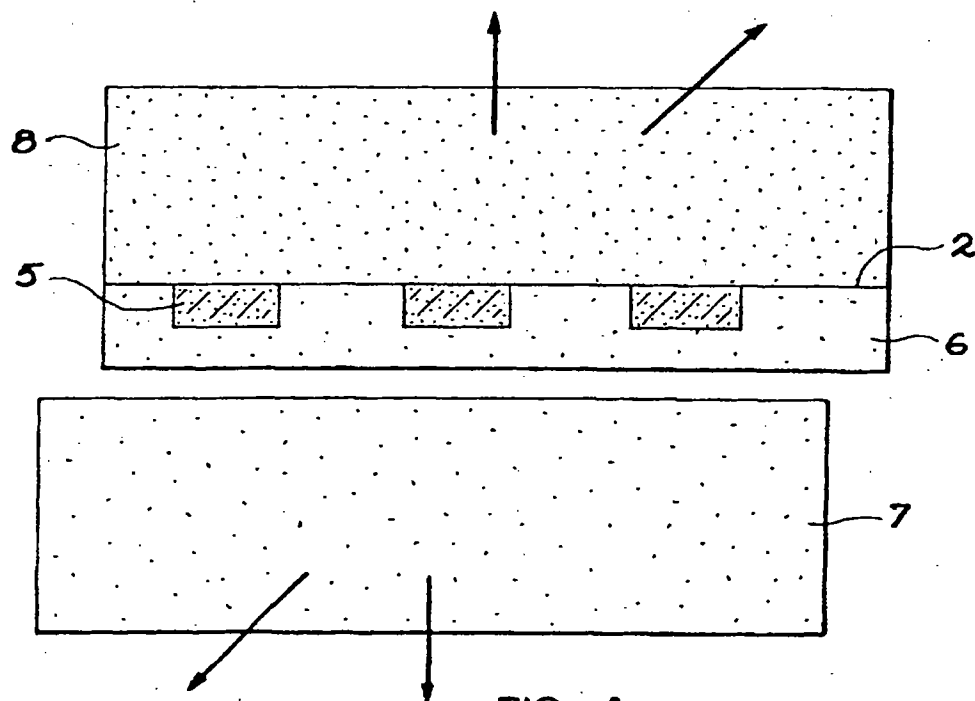


FIG. 4

**RÉFÉRENCES CITÉES DANS LA DESCRIPTION**

*Cette liste de références citées par le demandeur vise uniquement à aider le lecteur et ne fait pas partie du document de brevet européen. Même si le plus grand soin a été accordé à sa conception, des erreurs ou des omissions ne peuvent être exclues et l'OEB décline toute responsabilité à cet égard.*

**Documents brevets cités dans la description**

- FR 2681472 A [0003] [0006] [0008] [0014]

**Littérature non-brevet citée dans la description**

- **Y. MISHIMA ; T. YAGISHITA.** Investigation of the bubble formation mechanism in a-Si:H films by Fourier-transform infrared microspectroscopy. *J. Appl.Phys.*, 15 Octobre 1988, vol. 64 (8), 3972-3974 [0007]